

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

CONSTITUTION: A gate bus line 24 composed of double layers of a film 21 and a film 22 and a gate electrode 24a are formed onto a glass

substrate 1, and a silicon nitride film 10 and a silicon film 11 are shaped onto the whole surface. A photo-resist film 14 is formed in order to form source-drain electrodes while holding a gate region, and a naturally generated oxide film on the silicon film 11 is removed. A buffer hydrofluoric acid solution is employed in the process. Since the gate bus line 24 and the gate electrode 24a are shaped in double layers in which the film 22 in nickel-chromium, platinum, gold, etc. is laminated on the film 21 in molybdenum, etc., the gate bus line 24 is not dissolved and disconnected even when there is a pin hole 12 in the laminate of the silicon nitride film 10 and the silicon film 11.

COPYRIGHT: (C)1986,JPO&Japio

## ⑫ 公開特許公報(A)

昭61-172370

⑤ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

④ 公開 昭和61年(1986)8月4日

H 01 L 29/78

8422-5F

G 09 F 9/30

6615-5C

H 01 L 27/12

7514-5F

// G 02 F 1/133

1 1 8

8205-2H

H 05 B 33/12

7254-3K

審査請求 未請求 発明の数 2 (全7頁)

⑥ 発明の名称 シリコン薄膜トランジスタマトリックス及びその製造方法

⑪ 特 願 昭59-198358

⑫ 出 願 昭59(1984)9月21日

|         |                 |     |                  |          |
|---------|-----------------|-----|------------------|----------|
| ⑬ 発 明 者 | 川 井             | 悟   | 川崎市中原区上小田中1015番地 | 富士通株式会社内 |
| ⑬ 発 明 者 | 那 須             | 安 宏 | 川崎市中原区上小田中1015番地 | 富士通株式会社内 |
| ⑬ 発 明 者 | 梁 井             | 健 一 | 川崎市中原区上小田中1015番地 | 富士通株式会社内 |
| ⑬ 発 明 者 | 沖               | 賢 一 | 川崎市中原区上小田中1015番地 | 富士通株式会社内 |
| ⑬ 発 明 者 | 井 上             | 淳   | 川崎市中原区上小田中1015番地 | 富士通株式会社内 |
| ⑭ 出 願 人 | 富 士 通 株 式 会 社   |     | 川崎市中原区上小田中1015番地 |          |
| ⑮ 代 理 人 | 弁 理 士 松 岡 宏 四 郎 |     |                  |          |

## 明 細 書

## 1. 発明の名称

シリコン薄膜トランジスタマトリックス及びその製造方法

## 2. 特許請求の範囲

(1) 複数本のゲートバス線と、該ゲートバス線と直交する複数本のドレインバス線と、該ドレインバス線と前記ゲートバス線との交点に設けられ前記ゲートバス線と前記ドレインバス線とそれぞれ接続されるゲートとドレインとを有するシリコン薄膜トランジスタと、該シリコン薄膜トランジスタのソースと接続される駆動電極とよりなるシリコン薄膜トランジスタマトリックスにおいて、前記ゲートバス線は、卑金属の薄膜とニッケルクローム、金、または、白金の薄膜との積層体よりなることを特徴とするシリコン薄膜トランジスタマトリックス。

(2) ガラス基板上に複数本のゲートバス線を形成し、該ゲートバス線の末端部をゲート電極としてシリコン薄膜トランジスタを形成し、該シリコ

ン薄膜トランジスタのドレインと接続し前記ゲートバス線と直交するドレインバス線を複数本形成し、前記シリコン薄膜トランジスタのソースと接続して駆動電極を形成してなすシリコン薄膜トランジスタマトリックスの製造方法において、前記複数本のゲートバス線は卑金属の薄膜とニッケルクローム、金、または、白金の薄膜とを積層して形成することを特徴とするシリコン薄膜トランジスタマトリックスの製造方法。

## 3. 発明の詳細な説明

(産業上の利用分野)

本発明は、シリコン薄膜トランジスタマトリックス及びその製造方法に関する。特に、液晶、エレクトロルミネッセンス、エレクトロクロミック体等を表示要素としアクティブマトリックス駆動方式をもって駆動されるパネルディスプレイ装置の各画素の駆動に使用されるシリコン薄膜トランジスタマトリックス及びその製造方法の改良に関する。

(従来技術)

液晶、エレクトロルミネッセンス、エレクトロクロミック体等を表示要素とするアクティブマトリックス駆動型のシリコン薄膜トランジスタマトリックスの各画素は、その概略平面図とそのA-A断面図とを第2図(a)、(b)に示す如くである。図において、2はモリブデン、チタン、タングステン等の膜よりなるゲートバス線でありガラス基板1上に形成されている。3はドレインバス線であり層間絶縁膜4を介してゲートバス線2と交叉するようにガラス基板1上に形成されている。6はゲートバス線の末端部をもって構成されるゲート電極2aを覆って形成されるゲート絶縁膜5上に形成されたシリコン動作層であり、7と8とはそれぞれドレイン電極とソース電極とであり、これらをもってシリコン薄膜トランジスタが構成される。ドレイン電極7は、ドレイン接続電極7bとスルーホール7aとを介してドレインバス線3と接続され、ソース電極8はソース接続電極8bをもって駆動電極9と接続される。

( $\text{SiH}_4$ )と水素( $\text{H}_2$ )またはアルゴン(Ar)との混合雰囲気中でなすプラズマCVD法を使用して可能である。

たゞ、上記せる塵等不測の物体の存在により、この窒化シリコン膜10とシリコン膜11との積層体にピンホールが発生する確率が高く、しかも、ゲートバス線2上において上記の積層体10、11にピンホール12が発生する確率が高い。

第5図(a)、(b)参照

ゲート領域を挟んでソース・ドレイン電極を形成するため、ゲート電極2aに対応する領域にフォトリソレジスト膜13を形成し、シリコン膜11上に自然発生した自然発生酸化膜(図示せず)を除去する。この工程はフッ酸とフッ化アンモニウムとの混合水溶液である緩衝フッ酸溶液を使用して可能であるが、ゲートバス線2上の領域において、窒化シリコン膜10とシリコン膜11との積層体にピンホール12が存在すると、ピンホール12に対応する領域において、ゲートバス線2が溶解切断され、断線箇所12aが発生する。

かゝるシリコン薄膜トランジスタマトリックスを製造するには、従来、下記のようにしてなされていた。この製造工程を説明する参照図において、図(a)は平面図であり、図(b)はそのA-A断面図である。

第3図(a)、(b)参照

ガラス基板1上に厚さ1,000Å程度にモリブデン、タングステン、チタン等よりなる膜を形成してこれを幅30μm程度にパターンニングしてゲートバス線2とゲート電極2aとを形成する。このとき、ゲートバス線2上にフォトリソレジスト残渣その他の塵等不測の物体が残置される可能性が以外に大きい。

第4図(a)、(b)参照

全面に、厚さ3,000Å程度の窒化シリコン膜10と、厚さ3,000Å程度のシリコン膜11とを形成する。この窒化シリコン膜10の形成は、シラン( $\text{SiH}_4$ )とアンモニア( $\text{NH}_3$ )と窒素( $\text{N}_2$ )との混合雰囲気中でなすプラズマCVD法を使用し可能であり、シリコン膜11の形成は、シラン

第6図(a)、(b)参照

全面に、シリコン膜11が含有する不純物の導電型と同一の導電型の不純物を数百ppm~1%含み厚さが300~500Åのシリコン膜14と、厚さ2,000Å程度のアルミニウム膜15を形成する。

その後フォトリソレジスト膜13を溶解して、フォトリソレジスト膜13上のシリコン膜14とアルミニウム膜15とをリフトオフして開口13aを形成する。

第7図(a)、(b)参照

シリコン薄膜トランジスタ領域上にフォトリソレジストマスク16を形成した後、四フッ化炭素( $\text{CF}_4$ )を反応性ガスとするドライエッチング法を使用して、フォトリソレジストマスク16によって覆われていない領域から、ゲートバス線2とゲート電極2a以外のすべての膜を除去してゲート絶縁膜5と動作層6とドレイン電極7とソース電極8とを残置形成する(シリコン膜14の一部はコンタクト層として残置される)。

第2図(a)、(b)参照

レジストマスク16を除去した後、ドレイン電極

7と接続してドレイン接続電極7bを形成し、ついで、ゲートバス線2とドレインバス線との交叉領域に層間絶縁膜4を形成した後、スルーホール7aを介してドレイン接続電極7bと接続するようにドレインバス線3を形成し、駆動電極9を形成し、ソース接続電極8bを形成して駆動電極9とソース電極8とを接続して完成する。

(発明が解決しようとする問題点)

以上に述べた、従来技術に係るシリコン薄膜トランジスタマトリックスの製造方法においては、ゲート絶縁膜を形成するための窒化シリコン膜とトランジスタの動作層を形成するためのシリコン膜とにピンホールが発生しやすく、このピンホールが存在すると、トランジスタの動作層をなすシリコン膜上に自然発生する自然発生活性膜の除去工程において、ピンホールの下にあるゲートバス線が溶解されて断線し、製造歩留りが満足すべきものではないという欠点がある。

(問題点を解決するための手段)

本発明は、この欠点を解消して、もし、窒化シ

リコン薄膜トランジスタのドレインと接続し前記ゲートバス線と直交するドレインバス線を複数本形成し、前記シリコン薄膜トランジスタのソースと接続して駆動電極を形成してなすシリコン薄膜トランジスタマトリックスの製造方法において、前記複数のゲートバス線は卑金属の薄膜とニッケルクローム、金、または、白金の薄膜とを積層して形成することを特徴とするシリコン薄膜トランジスタマトリックスの製造方法とにある。

(作用)

本発明は、ゲートバス線の断線の原因が、その上層に偶発的に発生するピンホールを介して侵入する緩衝フッ酸溶液による溶解にある点に着目して、モリブデン、チタン、タングステン等の卑金属の薄膜をもって形成されるゲートバス線に重ねて、ニッケルクローム、白金、金等緩衝フッ酸溶液には溶解しにくい材料よりなる膜を形成しておき、たとえ、その上層にピンホールが存在していても、ゲートバス線が断線することがないようにしたものである。

リコン膜とトランジスタの動作層をなすシリコン膜にピンホールが存在していても、その後の工程において、ゲートバス線が断線することがなく、すぐれた製造歩留りを実現することのできるシリコン薄膜トランジスタマトリックス及びその製造方法を提供するものであり、その手段は、複数本のゲートバス線と、該ゲートバス線と直交する複数本のドレインバス線と、該ドレインバス線と前記ゲートバス線との交点に設けられ前記ゲートバス線と前記ドレインバス線とそれぞれ接続されるゲートとドレインとを有するシリコン薄膜トランジスタと、該シリコン薄膜トランジスタのソースと接続される駆動電極とよりなるシリコン薄膜トランジスタマトリックスにおいて、前記ゲートバス線は、卑金属の薄膜とニッケルクローム、金、または、白金の薄膜との積層体よりなることを特徴とするシリコン薄膜トランジスタマトリックスと、ガラス基板上に複数本のゲートバス線を形成し、該ゲートバス線の末端部をゲート電極としてシリコン薄膜トランジスタを形成し、該

(実施例)

以下、図面を参照して、本発明の一実施例に係るシリコン薄膜トランジスタマトリックス及びその製造方法についてさらに説明する。以下の工程の説明に参照する図において、図(a)図は平面図であり、図(b)はそのA-A断面図である。

第8図(a)、(b)参照

ガラス基板1上に、厚さ500Å程度にモリブデン、チタン、タングステン等よりなる膜を形成し、ついで厚さ500Å程度にニッケルクローム、白金、金等よりなる膜を形成し、この二重層を幅30μm程度にパターンニングして、モリブデン、チタン、タングステン等の膜21とニッケルクローム、白金、金等の膜22との二重層よりなるゲートバス線24とゲート電極24aとを形成する。このとき、ゲートバス線24上にフォトリソ残渣その他の塵等不測の物体が残渣される可能性が大きいことは従来技術の場合と全く同一である。

第9図(a)、(b)参照

全面に、厚さ 3,000 Å 程度の窒化シリコン膜 10 と、厚さ 3,000 Å 程度のシリコン膜 11 とを形成する。この窒化シリコン膜 10 の形成は、シラン ( $\text{SiH}_4$ ) とアンモニア ( $\text{NH}_3$ ) と窒素 ( $\text{N}_2$ ) との混合雰囲気中でなすプラズマ CVD 法を使用して可能であり、シリコン膜 11 の形成は、シラン ( $\text{SiH}_4$ ) と水素 ( $\text{H}_2$ ) またはアルゴン (Ar) との混合雰囲気中でなすプラズマ CVD 法を使用して可能である。

この窒化シリコン膜 10 とシリコン膜 11 との積層体にピンホール 12 が発生しやすいことは従来技術の場合と同様である。

第10図(a)、(b)参照

ゲート領域を挟んでソース・ドレイン電極を形成するため、ゲート電極 24a に対応する領域にフォトリソレジスト膜 13 を形成し、シリコン膜 11 上に自然発生した自然発生酸化膜 (図示せず) を除去する。この工程はフッ酸とフッ化アンモニウムとの混合水溶液である緩衝フッ酸溶液を使用して可

( $\text{CF}_4$ ) を反応性ガスとするドライエッチング法を使用して、フォトリソレジストマスク 16 によって覆われていない領域から、ゲートバス線 24 とゲート電極 24a 以外のすべての膜を除去してゲート絶縁膜 5 と動作層 6 とドレイン電極 7 とソース電極 8 とを残置形成する (シリコン膜 14 の一部はコンタクト層として残置される)。

第11図(a)、(b)参照

レジストマスク 16 を除去した後、ドレイン電極 7 と接続してドレイン接続電極 7b を形成し、ついで、ゲートバス線 24 とドレインバス線との交叉領域に層間絶縁膜 4 を形成した後、スルーホール 7a を介してドレイン接続電極 7b と接続するようにドレインバス線 3 を形成し、駆動電極 9 を形成し、ソース接続電極 8b を形成して駆動電極 9 とソース電極 8 とを接続して、シリコン薄膜トランジスタマトリックスを完成する。

以上説明せる工程をもって製造したシリコン薄膜トランジスタマトリックスは、工程中にそのゲートバス線が断線することはないので製造歩留

能である。

ところで、ゲートバス線 24 とゲート電極 24a とは、緩衝フッ酸によっては溶解されないニッケルクロム、白金、金等の膜 22 がモリブデン等の膜 21 の上に積層されてなる二重層であるから、もし、先の工程において、窒化シリコン膜 10 とシリコン膜 11 との積層体にピンホール 12 が存在していても、ゲートバス線 24 が溶解されて断線することはない。

第12図参照

全面に、シリコン膜 11 が含有する不純物の導電型と同一の導電型の不純物を数百 ppm ~ 1% 含み厚さが 300 ~ 500 Å のシリコン膜 14 と、厚さ 2,000 Å 程度のアルミニウム膜 15 を形成する。

その後フォトリソレジスト膜 13 を溶解して、フォトリソレジスト膜 13 上のシリコン膜 14 とアルミニウム膜 15 とをリフトオフして開口 13a を形成する。

第12図(a)、(b)参照

シリコン薄膜トランジスタ領域上にフォトリソレジストマスク 16 を形成した後、四フッ化炭素

りが向上する。試作の結果のよれば、従来 40% 程度であった歩留りが、本発明においては、80% に向上した。

(発明の効果)

以上説明せるとおり、本発明によれば、もし、窒化シリコン膜とトランジスタの動作層を形成するためのシリコン膜にピンホールが存在していても、その後の工程において、ゲートバス線が断線することがなく、すぐれた製造歩留りを実現することのできるシリコン薄膜トランジスタマトリックス及びその製造方法を提供することができる。

#### 4. 図面の簡単な説明

第1図(a)、(b)は、本発明の一実施例に係るシリコン薄膜トランジスタマトリックスの平面図とその A-A 断面図である。第2図(a)、(b)は従来技術に係るシリコン薄膜トランジスタマトリックスの平面図とその A-A 断面図である。第3図(a)、(b) ~ 第7図(a)、(b)は、従来技術に係るシリコン薄膜トラン

ジスタマトリックスの主要製造工程完了後の基板の平面図とそのA-A断面図である。第8図(a)、(b)～第12図(a)、(b)は、本発明の一実施例に係るシリコン薄膜トランジスタマトリックスの主要製造工程完了後の基板の平面図とそのA-A断面図である。

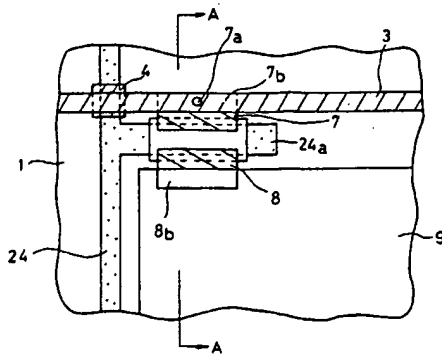
1・・・ガラス基板、 2・・・ゲートバス線、 2a・・・ゲート電極、 3・・・ドレインバス線、 4・・・層間絶縁膜、 5・・・ゲート絶縁膜、 6・・・シリコン動作層、 7・・・ドレイン電極、 7a・・・スルーホール、 7b・・・ドレイン接続電極、 8・・・ソース電極、 8b・・・ソース接続電極、 9・・・駆動電極、 10・・・窒化シリコン膜、 11・・・シリコン膜、 12・・・ピンホール、 12a・・・断線箇所、 13・・・フォトレジスト膜、 13a・・・開口、 14・・・高不純物濃度シリコン膜、 15・・・アルミニウム膜、 16・・・フォトレジスト膜、 21・・・モリブデン、 チタン、 タングステン等の膜、 22・・・

ニッケルクローム、白金、金等の膜、 24・・・ゲートバス線、 24a・・・ゲート電極

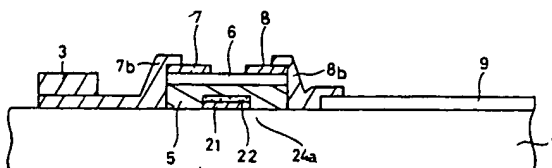
代理人 弁理士 松岡宏四郎



第1図  
(a)

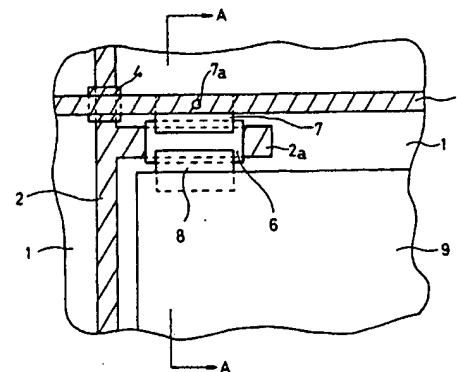


(b)

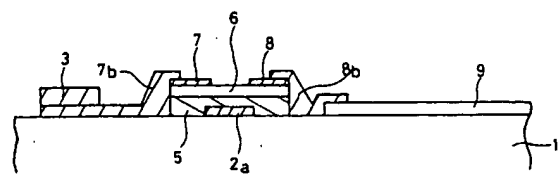


第2図

(a)

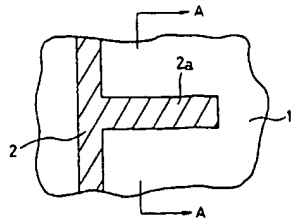


(b)

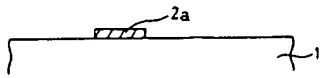




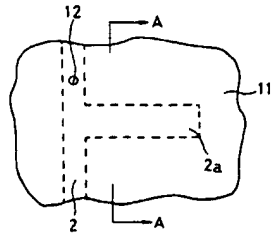
第 3 図  
(a)



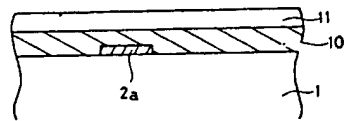
(b)



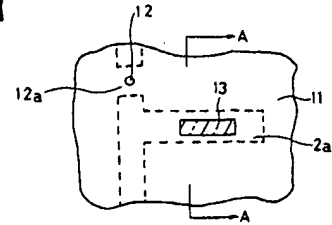
第 4 図  
(a)



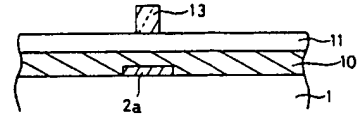
(b)



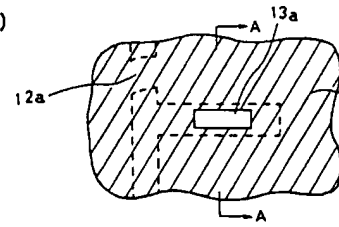
第 5 図  
(a)



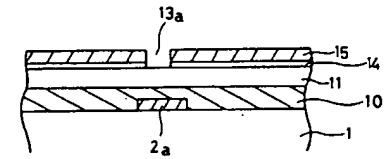
(b)



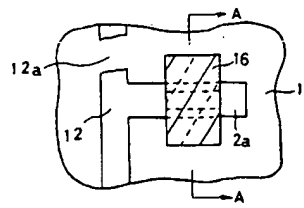
第 6 図  
(a)



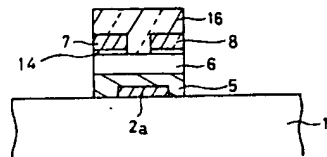
(b)



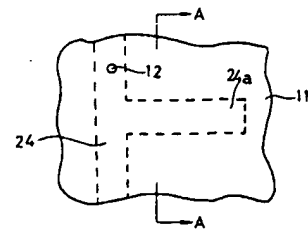
第 7 図  
(a)



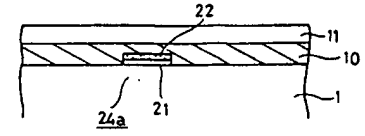
(b)



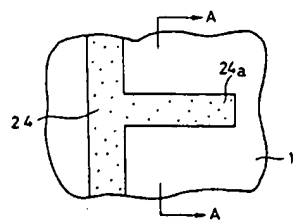
第 9 図  
(a)



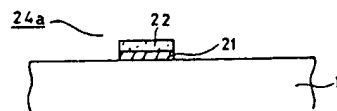
(b)



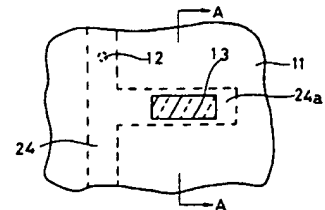
第 8 図  
(a)



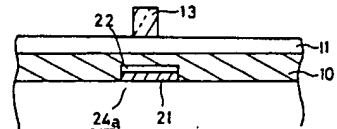
(b)



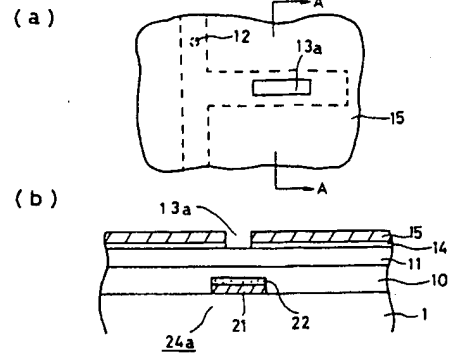
第 10 図  
(a)



(b)



第11図



第12図

